

Adrien Cassagne

Doctorant en Calcul Haute Performance

6, avenue des violettes

33 600 Pessac

☎ 06 37 60 53 10

✉ adcassagne@gmail.com

📧 adrien.cassagne.free.fr

30 ans – Permis B



Compétences techniques

Langages C/C++ (OpenMP, MPI, CUDA, OpenCL, Pthreads, AVX/NEON), Fortran.

Anglais Courant en environnement professionnel.

TOEIC : 765

Formations

2010 – 2013 **Master Informatique**, Université de Bordeaux (33), Mention Bien.

Cours communs avec l'ENSEIRB-MATMECA : spécialité **Calcul Haute Performance**.

Expériences

Octobre 2017 **Doctorant**, Université de Bordeaux, Inria, IMS (Bordeaux).

- à aujourd'hui ○ Recherche sur l'amélioration des implémentations logicielles des codes correcteurs d'erreur.
- Mise à disposition d'un logiciel Open-source : <https://aff3ct.github.io>.

Mars 2015 **CDD**, Université de Bordeaux, Inria, IMS (Bordeaux).

- à Septembre 2017 ○ Participation aux activités de recherche des laboratoires Inria et IMS autour de l'optimisation des algorithmes de correction du signal numérique.
- Développement d'une chaîne de simulation générique, efficace et parallèle pour les codes correcteurs d'erreurs (C++11).

Février 2014 **CDD**, CINES (Montpellier).

- à Février 2015 ○ Intervention sur un code de mécanique des fluides (JAGUAR) dans le cadre du projet PRACE (*Partnership for Advanced Computing in Europe*) : implémentation d'une approche hybride combinant OpenMP et MPI.
- Participation à ISC'14 à Leipzig (GER) ainsi qu'à SC'14 à la Nouvelle-Orléans (USA).

Avril 2013 **Stage de fin d'études et CDD**, CERFACS (Toulouse).

- à janvier 2014 Travail sur la méthode et l'optimisation d'un code de mécanique des fluides (JAGUAR) :
 - Réécriture du solveur CPU : obtention d'un gain de performance de l'ordre de 30%.
 - Accélération du code par GPU (Nvidia Tesla K20c, Tesla M2090) : portage complet du solveur en CUDA, *speedup* de 30 par rapport au temps séquentiel CPU.
 - Création d'une version multi GPU MPI : obtention d'un *speedup* de 50 pour 64 GPUs.

Communications et publications

Décembre 2014 **Formation**, *Optimisation des codes de calcul*, 4 jours.

- à décembre 2017 ○ Réalisation de la formation *Optimization* au CINES (formation dispensée en anglais).
- Formation effectuée quatre fois (en 2014, 2015, 2016 et 2017).

Janvier 2018 **Cours TD/TP intégré**, ENSEIRB-MATMECA, 35 heures.

- à mai 2018 ○ Introduction aux réseaux (17h30), 1ère année.
- Applications TCP/IP (17h30), 2ème année.

Publications majeures :

- A. Cassagne, O. Aumage, D. Barthou, C. Leroux, and C. Jégo. MIPP: a portable C++ SIMD wrapper and its use for error correction coding in 5G standard. In *WPMVP*, Vösendorf/Wien, Austria, 2018. ACM
- A. Cassagne, O. Aumage, C. Leroux, D. Barthou, and B. Le Gal. Energy consumption analysis of software polar decoders on low power processors. In *EUSIPCO*, Budapest, Hungary, 2016. IEEE
- A. Cassagne, T. Tonnellier, C. Leroux, B. Le Gal, O. Aumage, and D. Barthou. Beyond Gbps turbo decoder on multi-core CPUs. In *ISTC*, Brest, France, 2016. IEEE
- A. Cassagne, B. Le Gal, C. Leroux, O. Aumage, and D. Barthou. An efficient, portable and generic library for successive cancellation decoding of polar codes. In *LCPC*, Raleigh, USA, 2015. Springer
- A. Cassagne et al. JAGUAR: a new CFD code dedicated to massively parallel high-order LES computations on complex geometry. In *AERO*, Toulouse, France, 2015